

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 52-146569

(43)Date of publication of application : 06.12.1977

(51)Int.Cl.

H01L 29/40

G11C 17/00

H01L 29/78

(21)Application number : 51-063049

(71)Applicant :

TOSHIBA CORP

(22)Date of filing : 31.05.1976

(72)Inventor :

HORIUCHI SHIGEHARU

NOZAWA HIROSHI

MIMURA KATSUICHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: The write efficiency of reloadable ROMs is improved by extending the gate electrode positioned between source region and drain region slightly longer to the drain side and increasing the capacity between this and the drain region.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



⑬日本国特許庁  
公開特許公報

⑭特許出願公開  
昭52—146569

⑮Int. Cl.<sup>2</sup>  
H 01 L 29/40  
G 11 C 17/00  
H 01 L 29/78

識別記号

⑯日本分類  
99(5) E 3  
97(7) C 5

庁内整理番号  
7210—57  
7010—56

⑰公開 昭和52年(1977)12月6日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑱半導体記憶装置

東京芝浦電気株式会社総合研究  
所内

⑲特 願 昭51—63049

⑳発 明 者 三村勝一

㉑出 願 昭51(1976)5月31日

川崎市幸区小向東芝町1番地

㉒発 明 者 堀内重治

東京芝浦電気株式会社総合研究  
所内

川崎市幸区小向東芝町1番地  
東京芝浦電気株式会社総合研究  
所内

㉓出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

同 野沢博

㉔代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地

明 細 書

1. 発明の名称

半 導 体 記 憶 装 置

2. 特許請求の範囲

一導電形の半導体基板と、この基板に互いに  
離間して形成された他の導電形のソース領域並  
びにドレイン領域と、これら領域間の基板上に  
絶縁膜を介して形成されたゲート電極構造とを  
具備し、前記ドレイン領域上部からソース領域  
側に向つて、ドレイン領域と同導電形の層が延  
出しており、この延出部上に前記ゲート電極構  
造の一部が延出しており、この結果、ゲート電  
極構造とドレイン領域との間の容量を大きくし  
ていることを特徴とする半導体記憶装置。

3. 発明の詳細な説明

この発明は例えばマイクロコンピュータに使用  
される書き換え可能な読み出し専用半導体メモ  
リ(R O M)のような半導体記憶装置に関する。

従来のこの種半導体記憶装置の代表的なもの

として第1図に示すようなフローティングゲー  
ト形の装置が知られているので以下にこの例に  
つき説明する。

図中、符号1はP導電形のシリコン基板であ  
り、この上面にはN導電形のソース領域2並び  
にドレイン領域3が夫々拡散により形成されて  
いる。これら領域2、3の上部からは互いに対  
向するようにしてN<sup>+</sup>導電形層4、5が延出し  
ており、これらN<sup>+</sup>導電形層4、5間の基板1  
上には第1のゲート酸化膜6を介して第1のシ  
リコンゲート電極7が設けられている。また、  
この第1のゲート電極7上には第2のゲート酸  
化膜8を介して第2のシリコンゲート電極9が  
第1のゲート電極7を覆うようにして設けられ  
ている。そしてこの第2のゲート電極9の両端  
は前記N<sup>+</sup>導電形層4、5上まで延出している。  
さらに基板1上には夫々保護膜10、11が設  
けられている。尚図中符号12並びに13は、  
夫々ソース電極並びにドレイン電極である。

以上のような構成の半導体記憶装置の動作を

次に説明する。

前記第1のシリコンゲート電極7は直流的には他の電極とは電気的に接続されておらず、いわゆるフローティング電極であり、第2のシリコンゲート電極9がメモリセル選択用電極を構成している。今、第1のシリコンゲート電極7とシリコン基板1、第2のシリコンゲート電極9、ソース側 $n^+$ - $\mu$ 導電形層4並びにドレイン側 $n^+$ - $\mu$ 導電形層5との間の容量を夫々 $C_1$ 、 $C_2$ 、 $C_3$ 、並びに $C_4$ とし、ソース電極12およびシリコン基板1を夫々接地し、ドレイン電極13に電圧 $V_D$ を印加して第2のシリコンゲート電極9に電圧 $V_G$ を印加した場合、その等価回路は第2図のように表わされる。したがって、第1のシリコンゲート電極7の電位 $V_F$ は、この電極に電荷 $Q_s$ が蓄積されているとすれば次式で表わされる。

$$V_F = \frac{C_2 V_G - C_4 V_D + Q_s}{C_1 + C_2 + C_3 + C_4} = V_D + \frac{C_2 V_G - (C_1 + C_2 + C_3) V_D + Q_s}{C_1 + C_2 + C_3 + C_4} \quad (1)$$

ここで蓄積される電荷 $Q_s$ はシリコン基板1

面を照射することによりおこなわれる。次に情報の書き込み動作について説明する。前述したように、第2のシリコンゲート電極9に印加する電圧 $V_G$ が $V_G > (C_1 + C_2 + C_3 + C_4) / C_2 \cdot V_{th} - C_4 V_D / C_2$ とすれば、書き込みのおこなわれていないメモリセルは導通し、ソース領域2とドレイン領域3との間にドレイン電流が流れ、電圧 $V_G$ が増加するのにつれて縦方向電界によりキャリアである電子の数が増大するとともに第1のシリコンゲート電極7への注入が生じ易くなる。一方、 $V_D$ が増大すると、電子は横方向電界からエネルギーを受け、いわゆる「ホット」な状態となり、さらに $V_D$ が増大しただれ破壊が生じると、そのエネルギーがシリコン基板1と第1のゲート酸化膜6との界面の障壁よりも大きい電子は障壁を越えて第1のシリコンゲート電極7へ注入される。

以上のような半導体記憶装置において、注入電流を可能な限り大きくして書き込みを容易におこなわせることが望まれており、本願の目的

と第1のゲート酸化膜6との界面における障壁が正孔に対してよりも電子に対しての障壁が低いこと、電子によつていられる。

次に、読み出し動作について説明すると、今第1のシリコンゲート電極7に対するしきい値電圧を $V_{th}$ とすれば、第2のシリコンゲート電極9に印加される電圧 $V_G$ が $V_G < \frac{C_1 + C_2 + C_3 + C_4}{C_2} V_{th} - \frac{C_4 V_D + Q_s}{C_2}$ の時第1シリコンゲート電極7の電位 $V_F$ は $V_F < V_{th}$ となり、このトランジスタにより構成されているメモリセルは非導通状態になる。したがって $V_G$ を $C_1 + C_2 + C_3 + C_4 / C_2 \cdot V_{th} - C_4 V_D / C_2 > V_G > (C_1 + C_2 + C_3 + C_4) / C_2 \cdot V_{th} - C_4 V_D / C_2$ に選ぶことにより、メモリセルが導通すれば蓄積電荷がなく、非導通ならば電荷の蓄積があり、したがって'0'、'1'の情報が読み出されることになる。但し、 $V_G$ 、 $V_D$ は後に述べるように、読み出し時に誤書き込みが生じないように電子の注入が生じない範囲に選ばなければならない。

上記装置において、情報の消去は例えば紫外

は一定のドレイン電圧下で構成が複雑にならずに上記装置を連することのできる半導体記憶装置を提供することである。

本発明者は連々の実験をおこない、ゲート電圧 $V_G$ とドレイン電圧 $V_D$ との関係を調べた結果、第1のシリコンゲート電極とドレイン領域との間の容量を大きくすることにより、電子の注入が生じ易くなることを以下のようにして見出した。まず、電子の注入が生じる $V_G$ 、 $V_D$ の範囲を知るために、第1のシリコンゲート電極にも取り出し電極を設けた試験用記憶素子を作り第3図に示すように第1のシリコンゲート電極27に可変直流電圧源34と電流計35とを接続し、ソース領域22に電流計36を接続しシリコン基板21とともに接地する。一方、ドレイン領域23に可変直流電圧源37を接続する。このような接続状態で、第2のシリコンゲート電極29に電圧を印加し、この値を変化させた所、電流計35および36を流れる電流値に変化がなく、第2のシリコンゲート電極29

は開放状態にしておいた。次に、一方の直流電圧源34の電圧 $V_P$ をパラメータとし、他方の直流電圧源37の電圧 $V_D$ と電流計36を流れる電流 $I_D$ との関係を測定した。この測定結果の一例を第4図に示す。この結果から、電圧 $V_D$ の増加とともに、メモリセルは飽和し、さらに $V_D$ を増加させると、なだれ破壊が生じる。このなだれ破壊が生じた時の $V_P$ と $I_P$ との関係を第5図に示す。したがって、メモリセルは飽和領域で電圧 $V_D$ をドレイン領域23とシリコン基板21との間に形成される $p-n$ 接合の破壊電圧以下で且つ充分大きく、しかもメモリセルの飽和領域で、できるだけ $V_P$ を高く選ぶことにより、より大きな注入電流を得ることができる。したがって注入条件は、飽和領域にあることから、式(1)において右辺の第2項で $Q_s=0$ と書いた $\{C_2(V_0-V_D)-(C_1+C_2)V_D\}/(C_1+C_2+C_3+C_4)$ が負である時に電子の注入がおこなわれる。また第5図からわかる様に、 $V_P$ が大きいほど注入電流が増大し、このため式(1)におい

て $C_4$ を増加させることにより、既に述べた条件に達した一定の $V_D$ に対して $V_P$ が増大し、したがって注入電流が増大し、書き込みを容易におこなうことができる。また式(1)より明らかなように、第1のシリコンゲート電極27とソース領域22との間の容量 $C_4$ を減少させることにより $V_P$ が増大し、書き込みが容易におこなわれる。即ち、 $C_4$ を大きく $C_4$ を小さく選ぶことが好ましい。

次に、この発明の一実施例に係る半導体記憶装置を第6図を参照して、その製造方法の一例とともに説明する。

比抵抗 $6\sim8\Omega\cdot\text{cm}$ の $p$ -導電形シリコン基板41上に例えば厚さ約 $1\mu\text{m}$ の熱酸化膜42を形成した後、メモリセル部43に存在する熱酸化膜42の部分を通常の写真蝕刻法を用いて除去し、基板41の一部を露出する。次に厚さ約 $1000\text{\AA}$ の第1のゲート酸化膜44を熱酸化により基板41の露出面に形成する。そしてシランの溶液中約 $700^\circ\text{C}$ での熱分解により厚さ約 $3500\text{\AA}$

の多結晶シリコン膜45を酸化膜上に形成し、このシリコン膜45中に磷を拡散してこの膜45を低抵抗化する。次にこの多結晶シリコン膜45の不要部分を写真蝕刻技術並びにプラズマエッチング技術を使用して除去し第1の多結晶シリコンゲート電極45にする。この第1の多結晶シリコンゲート電極45は従来技術に比してドレイン側に延びるように形成されている。そして、このゲート電極45をマスクとしてこれの直下以外の第1のゲート酸化膜44を除去した後、第2のゲート酸化膜46を熱酸化により前記第1のゲート電極45を囲繞するように形成する。次に、前記酸化膜上に多結晶シリコン膜47を約 $1800\text{\AA}$ の厚さに気相成長させ、これに低抵抗化のための磷を拡散した後、写真蝕刻技術、プラズマエッチング技術を使用して所要部分を残りエッチング除去して第2の多結晶シリコンゲート電極47を形成する。この場合、この第2のゲート電極47は、ドレイン側が前記第1のゲート45上に位置し、ソー

ス側が第1のゲート45より延出して、基板41に対して第2のゲート酸化膜46を介して対面するようになっている。したがって、第1のゲート電極45のドレイン側は、第2のゲート電極47の一端よりも延出している。この第1のゲート電極45と第2のゲート電極47との重複部分がメモリセルの所望のチャンネルと等しい長さになっている。そして、磷を加速電圧 $170\text{KV}$ 、注入量 $2\times 10^{14}/\text{cm}^2$ の条件でイオン注入し前記基板41の表面所定部分に $n$ -導電形層48、49を形成する。これら層48、49は、前記基板41の第2のゲート酸化膜46直下では少し深くなるが、第1のゲート電極45のドレイン側端部並びに第2のゲート電極47のソース側端部直下の所では極く浅くなる。勿論、これら以外の所では酸化膜42並びに両ゲート電極45、47の重複部がマスクとなつてゐるために磷は拡散されていない。次に、前記第2のゲート電極47をマスクとして、この電極47直下以外の第2のゲート酸化膜46の部

分をエッチング除去して基板41の一部を露出する。この露出した部分より溝を拡散して、 $n^+$ 導電形のソース領域50並びにドレイン領域51を形成する。これら領域50、51は図から明らかなように、ゲート電極45、47の両側に夫々位置しており、これら領域50、51上部から $n^+$ 導電形層48、49が互いに対向するように延出している。そして、全面に低温酸化膜52を形成し、これのソース領域50並びにドレイン領域51上の一部にコンタクトホールを選択エッチングにより穿設する。最後に、この酸化膜52上にアルミニウムを蒸着し、適当にエッチングしてソース電極53並びにドレイン電極54を形成して半導体記憶装置を完成する。

上記のような構成を有する記憶装置においては、第1のゲート電極45が、第2のゲート電極47に比してドレイン側に、即ちドレイン領域51の $n^+$ 導電形層49上に延びており、このためこの第1のゲート電極45とドレイン領

域51との間の容量C<sub>1</sub>は、従来技術のものと比べて著しく大きくなっている。また、第1のゲート電極45と第2のゲート電極47とは重複部分が従来とほとんど同じに形成できるので、これらの間の容量C<sub>2</sub>は従来技術のものと変わらない。このため、この装置は書き込みが顕る容易となつている。また上記製造方法並びに構成からも明らかなように、この装置の構成は簡単であり、かつ製造も容易である。

この発明の半導体記憶装置は上記製造方法に限定されるものではなく、例えば次のような変形が可能である。上記方法では、溝のイオン注入をおこなつた後、に溝の拡散をおこなつてソース領域並びにドレイン領域を形成したが、第2のシリコンゲート電極の形成後、この電極をマスクとして第2のゲート酸化膜をオキサイドエッチングにより除去し、その後溝拡散をおこなつてソース領域並びにドレイン領域を形成してから、溝のイオン注入をおこなつて、メモリセル部の第1のシリコンゲート電極と第2のシ

リコンゲート電極の重複しない部分のシリコン基板表面および内部に $n^+$ 導電形層を形成しても良い。なお、上記実施例のようにドレイン側の $n^+$ 導電形層をイオン注入により浅く形成したのは、不純物の注入を生じ易くするためであり、例えばイオン注入をおこなわず、ソース領域の端部が第1のシリコンゲート電極の端部に到達するまで、拡散をおこなつても良く、この方法によればソース領域とゲート電極との間の容量C<sub>1</sub>を極力小さくすることができる。

上記実施例では、 $n^+$ チャンネルシリコンゲートMOS形メモリセルについて述べたが、ゲート電極は多結晶シリコン以外の導電性物質、例えばMo、W等でも形成することができ、また $p^+$ チャンネルに形成しても良い。また第1並びに第2のゲート電極からなる2層の電極構造のメモリセル以外の構造、例えば1層のフローティング電極構造或いは3層以上の電極構造でも良い。

以上説明したように、この発明の半導体記憶

装置においては、ソース領域とドレイン領域との間に位置するゲート電極を、ドレイン側により延出させて、これとドレイン領域との間の容量を大きくしているので書き込み効率が顕る優れる。また、製造においても、従来の装置と比して複雑になるようなことがなく、製造も簡単である。

#### 4. 図面の簡単な説明

第1図は従来の半導体記憶装置を示す断面図、第2図はこの種装置の容量関係の等価回路図、第3図はこの発明の技術思想を説明するための半導体記憶装置とこれの配線図、第4図は、同装置のI<sub>D</sub>-V<sub>D</sub>特性曲線図、第5図は同装置のなだれ破壊時のV<sub>FB</sub>-I<sub>F</sub>特性曲線図そして第6図はこの発明の一実施例に係る半導体記憶装置の断面図である。

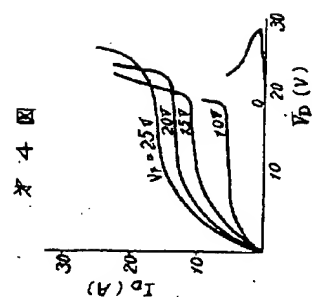
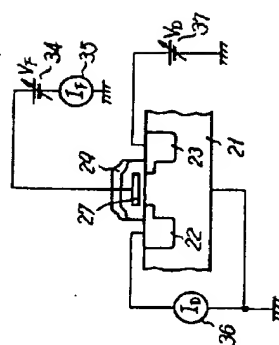
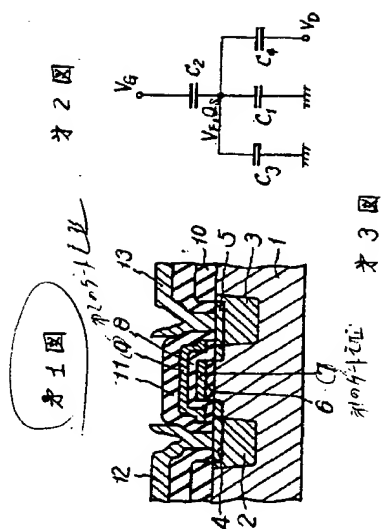
41…シリコン基板 44…第1のゲート酸化膜  
45…第1のゲート電極 46…第2のゲート酸化膜  
47…第2のゲート電極 48、49… $n^+$ 導電形層 (字訂)  
50…ソース領域 51…ドレイン領域

5 3 ... ソース電極

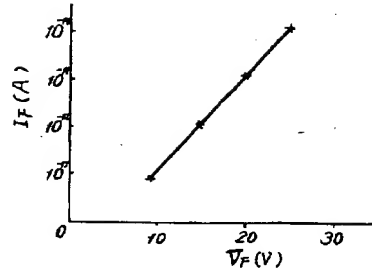
5 4 ... ドレイン電極

特開 昭52-146569(5)

出願人代理人 井垣士 崎 江 武 彦



才 5 図



才 6 図

